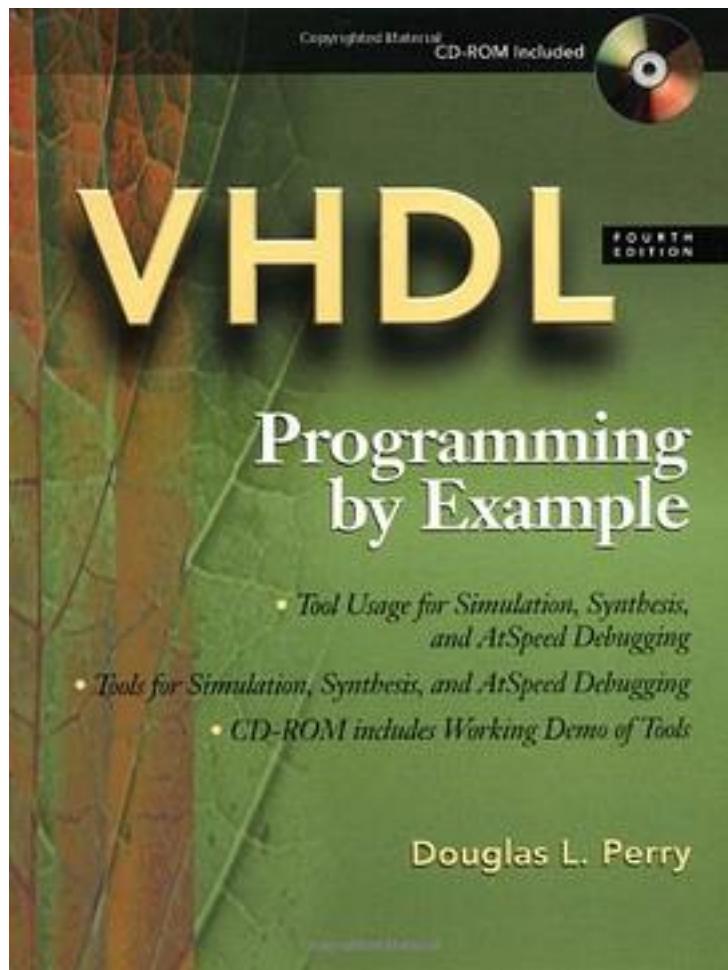


VHDL



[VHDL_下载链接1](#)

著者:Weng foock Lee

出版者:清华大学

出版时间:2007-10

装帧:

isbn:9787302160953

本书的编写注重实践。60多个实用事例有助于读者学习如何编写超高速集成电路硬件描述语言（VHDL）源代码以及如何进行综合，并包括了许多测试平台仿真结果波形图。

事例从简到繁，从简单的VHDL源代码编写起步，随着内容的展开逐步介绍更加复杂的设计。本书还给出了综合结果及其改进措施，以帮助读者更为熟悉经验丰富的设计工程是如何去优化每一个综合出的设计对象。

本书还专门用了一整章的篇幅介绍如何完整地设计一个流水式微控制器：从体系结构定义、指令级定义、微结构实现直至其VHDL源代码及其测试平台源代码的编写，以及综合优化等内容。

作者介绍：

Weng Fook

Lee是AMD公司杰出的首席设计工程师，曾荣获“深受爱戴的综合专家”荣誉称号。他具有大量的采用VHDL进行ASIC设计的经验，擅长于在综合电路时以性能极大化和面积使用量极小化为目标进行改进，也擅长于开发和实现新的综合、验证以及自动布局布线的设计方法。他曾深入地参与过PCI、ISA、LPC桥、芯片组、微控制器、RISC微处理器以及最先进的高速低耗闪烁存储器的设计与综合。

目录: 插图目录	17	表格目录	21	示例目录	23	第1部分 VHDL代码编写	第1章 绪言	3	1.1
传统设计方法--原理图输入	3	1.2 硬件描述语言	3	1.3 VHDL设计的结构	4	1.4			
VHDL设计内的元件实例化	7	1.5 结构式、行为式与可综合VHDL设计	10	1.5.1					
结构式VHDL描述	10	1.5.2 行为式VHDL描述	12	1.5.3 RTL级代码	14	1.6			
在VHDL设计中使用库声明	16	第2章 VHDL仿真与综合流程	18	第3章					
基本逻辑元件的可综合代码	20	3.1 与逻辑	20	3.2 或逻辑	21	3.3 非逻辑	22	3.4 与非逻辑	23
3.5 或非逻辑	24	3.6 三态缓冲器逻辑	26	3.7 复杂逻辑门	27	3.8 锁存器	28	3.8.1	
避免代码中出现锁存器	29	3.9 触发器	33	3.10 译码器	34	3.11 编码器	36	3.12 多路选择器	37
3.13 优先级编码器	39	3.14 存储器单元	41	3.15 加法器	42	3.16 元件推定	44	第4章	
信号与变量	46	4.1 变量	46	4.2 信号	47	4.3 采用信号和变量的时机	51	4.4 反馈信号的用法	53
第5章 复杂示例的可综合代码	56	5.1 移位器	56	5.2 计数器	66	5.3 存储器模块	73	5.4	
汽车行驶控制器	80	第6章 设计可综合的流水式微控制器	87	6.1 定义指令集	87	6.2			
定义体系结构	88	6.3 定义流水线	90	6.4 定义流水式微控制器的微结构	91	6.4.1			
预译码功能块	93	6.4.2 译码功能块	104	6.4.3 寄存器堆功能块	112	6.4.4 执行功能块	121		
6.4.5 整个微控制器芯片	131	第2部分 基于SYNOPSYS工具的逻辑综合	第7章						
设计中的时序因素	147	7.1 建立时间违规	147	7.2 保持时间违规	148	7.3			
逻辑综合中的建立时间和保持时间因素	148	7.4 改进微结构以消除建立时间违规	149						
7.4.1 通过逻辑复制生成独立路径	150	7.4.2							
在利用滞后到达信号作选择之前进行逻辑复制	150	7.4.3 在触发器间进行逻辑均衡	151						
7.4.4 优先级译码与多路译码	152	7.5 改进微结构以消除保持时间违规	153	7.6					
异步路径与无效路径	153	7.7 多周期路径	153	第8章 基于时序约束的VHDL综合	155	8.1			
Design Compiler简介	155	8.2 使用Design Compiler进行综合	156	8.3 性能改进	159	8.3.1			
采用-map_effort high选项编译	159	8.3.2 将关键路径聚合成组并设定权重因子	164	8.3.3					
对设计对象进行逻辑展平	170	8.3.4 表征子模块	174	8.3.5 寄存器均衡	175	8.3.6 采用FSM			
Compiler优化有限状态机	181	8.3.7 对高级功能模块选择高速实现电路	186	8.3.8					
对重负载逻辑树进行均衡	187	8.4 通过综合改进实现面积优化	190	8.4.1					
组合逻辑不单独作为功能块使用	190	8.4.2 模块间不使用胶黏逻辑	191	8.4.3					
使用set_max_area属性	192	8.5 使用Synopsys工具消除保持时间违规	193	8.6					
其他常用的综合命令	193	8.7 自顶而下与自底而上编译	224	第9章					
实例化GTECH库单元	227	第10章 DesignWare库	229	10.1 建立自己的DesignWare库	233				
第11章 综合中的可测试性问题	240	11.1 复用触发器扫描方式	241	11.2					
使用Synopsys的Test Compiler实现扫描插入	243	第12章 FPGA综合	250	第13章					
综合与版图工序之间的联系	260	13.1 前向标注	260	13.2 连线负载模型	261	13.3			
版面规划	262	13.4 版图工序之后的优化	263	第14章					
实现有效综合应遵循的设计指导原则	264	附录A STD_LOGIC_1164库	266	附录B					

移位器综合结果302附录C 计数器综合结果308附录D 流水式微控制器综合结果312附录E
第6章微控制器示例综合出的EDIF文件330附录F
第6章微控制器示例综合出的SDF文件359 词汇表392 参考文献394
• • • • • (收起)

[VHDL 下载链接1](#)

标签

硬件编程

评论

[VHDL 下载链接1](#)

书评

[VHDL 下载链接1](#)