

Verilog数字系统设计



[Verilog数字系统设计 下载链接1](#)

著者:[美]Zainalabedin

出版者:电子工业

出版时间:2007-11

装帧:

isbn:9787121052415

本书主要讲述基于IEEE Std 1364-2001版本的Verilog硬件描述语言，着重讲述了使用Verilog进行数字系统的设计、验证及综合。根据数字集成电路设计的工程需求，本书重点关注了testbench的设计编写、验证和测试技术，深入讲述了基于Verilog

HDL的开关级、门级、RTL级、行为级和系统级建模技术，从而使读者能尽快掌握硬件电路和系统的高效Verilog编程技术。书中把RTL描述、电路综合和testbench验证测试技术紧密结合，给出了多个从设计描述到验证的RTL数字电路模块和系统的设计实例。改编者在对标题、重点句子和段落进行注解时，在翻译的基础上针对较难理解的内容做了详细说明。本书为英文版。

作者介绍:

目录:

[Verilog数字系统设计_下载链接1](#)

标签

英语

数字逻辑

嵌入式

中国

FPGA

2007

评论

这本书太老了，感觉里面的思路有些落后，不过经典部分也可以拿来学习。像这类书的话，还是得跟上时代的潮流啊！几年下来，就会被淘汰。

[Verilog数字系统设计_下载链接1](#)

书评

[Verilog数字系统设计_下载链接1](#)