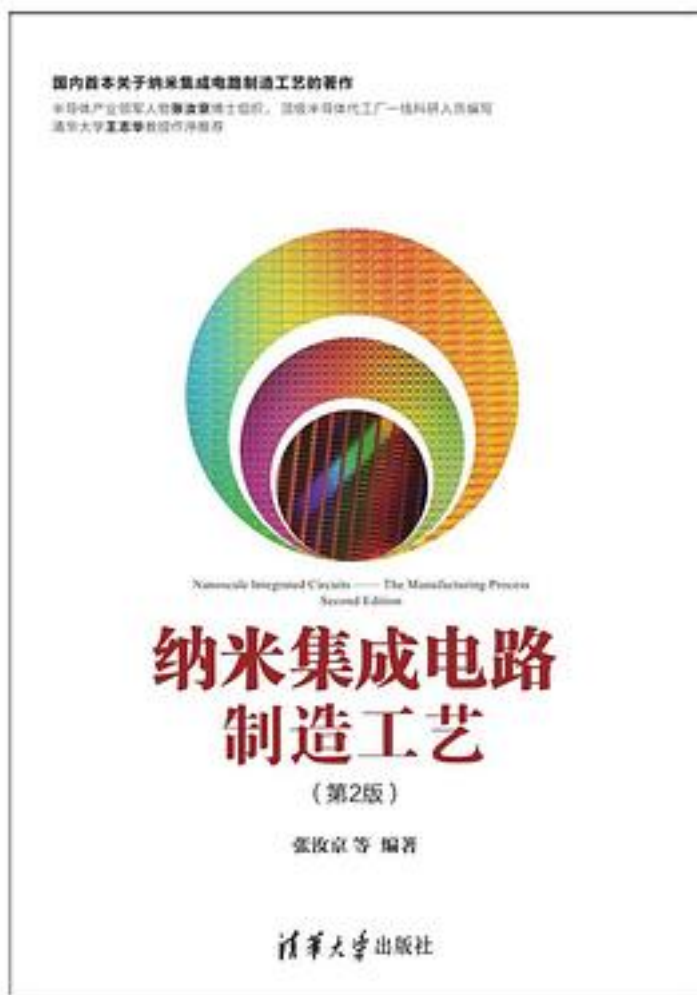


纳米集成电路制造工艺（第2版）



[纳米集成电路制造工艺（第2版）_下载链接1](#)

著者:张汝京 等编著

出版者:清华大学出版社

出版时间:2017-1

装帧:

isbn:9787302452331

本书共19章，涵盖先进集成电路工艺的发展史，集成电路制造流程、介电薄膜、金属化

、光刻、刻蚀、表面清洁与湿法刻蚀、掺杂、化学机械平坦化，器件参数与工艺相关性，DFM（Design for Manufacturing），集成电路检测与分析、集成电路的可靠性，生产控制，良率提升，芯片测试与芯片封装等内容。再版时加强了半导体器件方面的内容，增加了先进的FinFET、3D NAND存储器、CMOS图像传感器以及无结场效应晶体管器件与工艺等内容。

作者介绍:

张汝京(Richard Chang)，1948年出生于江苏南京，毕业于台湾大学机械工程学系，于布法罗纽约州立大学获得工程科学硕士学位，并在南方卫理公会大学获得电子工程博士学位。曾在美国德州仪器工作20年。他成功地在美国、日本、新加坡、意大利及中国台湾地区创建并管理10个集成电路工厂的技术开发及运营。1997年加入世大集成电路（WSMC）并出任总裁。2000年4月创办中芯国际集成电路制造（上海）有限公司并担任总裁。2012年创立昇瑞光电科技（上海）有限公司并出任总裁，主要经营LED等及其配套产品的开发、设计、制造、测试与封装等。2014年6月创办上海新昇半导体科技有限公司并出任总裁，承担国家科技重大专项（简称“02专项”）的核心工程——“40—28纳米集成电路制造用300毫米硅片”项目。张博士拥有超过30年的半导体芯片研发和制造经验。2005年4月，荣获中华人民共和国国务院颁发国际科学技术合作奖。2006年获颁中国半导体业领军人物称号。2008年3月，被半导体国际杂志评为2007年度人物并荣获SEMI中国产业卓越贡献奖。2014年于上海成立新昇半导体科技有限公司，从事300毫米高端大硅片的研发、制造与行销。

目录: 目录

第1章半导体器件

1. 1N型半导体和P型半导体
1. 2PN结二极管
 1. 2. 1PN结自建电压
 1. 2. 2理想PN结二极管方程
1. 3双极型晶体管
1. 4金属氧化物半导体场效应晶体管
 1. 4. 1线性模型
 1. 4. 2非线性模型
 1. 4. 3阈值电压
 1. 4. 4衬底偏置效应
 1. 4. 5亚阈值电流
 1. 4. 6亚阈值理想因子的推导
1. 5CMOS器件面临的挑战
1. 6结型场效应晶体管
1. 7肖特基势垒栅场效应晶体管
1. 8高电子迁移率晶体管
1. 9无结场效应晶体管
 1. 9. 1圆柱体全包围栅无结场效应晶体管突变耗尽层近似器件模型
 1. 9. 2圆柱体全包围栅无结场效应晶体管完整器件模型
 1. 9. 3无结场效应晶体管器件制作
1. 10量子阱场效应晶体管
1. 11小结

参考文献

第2章集成电路制造工艺发展趋势

2.1引言

2.2 横向微缩所推动的工艺发展趋势

2.2.1 光刻技术

2.2.2 沟槽填充技术

2.2.3 互连层RC延迟的降低

2.3 纵向微缩所推动的工艺发展趋势

2.3.1 等效栅氧厚度的微缩

2.3.2 源漏工程

2.3.3 自对准硅化物工艺

2.4 弥补几何微缩的等效扩充

2.4.1 高k金属栅

2.4.2 载流子迁移率提高技术

2.5 展望

参考文献

第3章 CMOS 逻辑电路及存储器制造流程

3.1 逻辑技术及工艺流程

3.1.1 引言

3.1.2 CMOS 工艺流程

3.1.3 适用于高k栅介质和金属栅的栅最后形成或置换金属栅

CMOS 工艺流程

3.1.4 CMOS 与鳍式 MOSFET (FinFET)

3.2 存储器技术和制造工艺

3.2.1 概述

3.2.2 DRAM 和 eDRAM

3.2.3 闪存

3.2.4 FeRAM

3.2.5 PCRAM

3.2.6 RRAM

3.2.7 MRAM

3.2.8 3D NAND

3.2.9 CMOS 图像传感器

3.3 无结场效应晶体管器件结构与工艺

参考文献

第4章 电介质薄膜沉积工艺

4.1 前言

4.2 氧化膜/氮化膜工艺

4.3 栅极电介质薄膜

4.3.1 栅极氧化介电层氮氧化硅 (SiO_xNy)

4.3.2 高k栅极介质

4.4 半导体绝缘介质的填充

4.4.1 高密度等离子体化学气相沉积工艺

4.4.2 O₃TEOS 的亚常压化学气相沉积工艺

4.5 超低介电常数薄膜

4.5.1 前言

4.5.2 RC delay 对器件运算速度的影响

4.5.3 k 为 2.7~3.0 的低介电常数材料

4.5.4 k 为 2.5 的超低介电常数材料

4.5.5 刻蚀停止层与铜阻挡层介电常数材料

参考文献

第5章 应力工程

5.1 简介

5.2 源漏区嵌入技术

5.2.1 嵌入式锗硅工艺

5.2.2 嵌入式碳硅工艺

5.3 应力记忆技术

- 5.3.1 SMT技术的分类
- 5.3.2 SMT的工艺流程
- 5.3.3 SMT氮化硅工艺介绍及其发展
- 5.4 双极应力刻蚀阻挡层
- 5.5 应力效应提升技术

参考文献

第6章 金属薄膜沉积工艺及金属化

6.1 金属栅

6.1.1 金属栅极的使用

6.1.2 金属栅材料性能的要求

6.2 自对准硅化物

6.2.1 预清洁处理

6.2.2 镍铂合金沉积

6.2.3 盖帽层TiN沉积

6.3 接触窗薄膜工艺

6.3.1 前言

6.3.2 主要的问题

6.3.3 前处理工艺

6.3.4 PVD Ti

6.3.5 TiN制程

6.3.6 W plug制程

6.4 金属互连

6.4.1 前言

6.4.2 预清洁工艺

6.4.3 阻挡层

6.4.4 种子层

6.4.5 铜化学电镀

6.4.6 洗边和退火

6.5 小结

参考文献

第7章 光刻技术

7.1 光刻技术简介

7.1.1 光刻技术发展历史

7.1.2 光刻的基本方法

7.1.3 其他图像传递方法

7.2 光刻的系统参数

7.2.1 波长、数值孔径、像空间介质折射率

7.2.2 光刻分辨率的表示

7.3 光刻工艺流程

7.4 光刻工艺窗口以及图形完整性评价方法

7.4.1 曝光能量宽裕度, 归一化图像对数斜率(NILS)

7.4.2 对焦深度(找平方法)

7.4.3 掩膜版误差因子

7.4.4 线宽均匀性

7.4.5 光刻胶形貌

7.4.6 对准、套刻精度

7.4.7 缺陷的检测、分类、原理以及排除方法

7.5 相干和部分相干成像

7.5.1 光刻成像模型, 调制传递函数

7.5.2 点扩散函数

7.5.3 偏振效应

7.5.4 掩膜版三维尺寸效应

7.6 光刻设备和材料

7.6.1 光刻机原理介绍

7.6.2光学像差及其对光刻工艺窗口的影响

7.6.3光刻胶配制原理

7.6.4掩膜版制作介绍

7.7与分辨率相关工艺窗口增强方法

7.7.1离轴照明

7.7.2相移掩膜版

7.7.3亚衍射散射条

7.7.4光学邻近效应修正

7.7.5二重图形技术

7.7.6浸没式光刻

7.7.7极紫外光刻

参考文献

第8章干法刻蚀

8.1引言

8.1.1等离子刻蚀

8.1.2干法刻蚀机的发展

8.1.3干法刻蚀的度量

8.2干法刻蚀建模

8.2.1基本原理模拟

8.2.2经验模型

8.3先进的干法刻蚀反应器

8.3.1泛林半导体

8.3.2东京电子

8.3.3应用材料

8.4干法刻蚀应用

8.4.1浅槽隔离(STI)刻蚀

8.4.2多晶硅栅刻蚀

8.4.3栅侧墙刻蚀

8.4.4钨接触孔刻蚀

8.4.5铜通孔刻蚀

8.4.6电介质沟槽刻蚀

8.4.7铝垫刻蚀

8.4.8灰化

8.4.9新近出现的刻蚀

8.5先进的刻蚀工艺控制

参考文献

第9章集成电路制造中的污染和清洗技术

9.1IC 制造过程中的污染源

9.2IC污染对器件的影响

9.3晶片的湿法处理概述

9.3.1晶片湿法处理的要求

9.3.2晶片湿法处理的机理

9.3.3晶片湿法处理的范围

9.4晶片表面颗粒去除方法

9.4.1颗粒化学去除

9.4.2颗粒物理去除

9.5制程沉积膜前/后清洗

9.6制程光阻清洗

9.7晶片湿法刻蚀技术

9.7.1晶片湿法刻蚀过程原理

9.7.2硅湿法刻蚀

9.7.3氧化硅湿法刻蚀

9.7.4氮化硅湿法刻蚀

9.7.5金属湿法刻蚀

- 9.8晶背/边缘清洗和膜层去除
- 9.965nm和45nm以下湿法处理难点以及HKMG湿法应用
- 9.9.1栅极表面预处理
- 9.9.2叠层栅极: 选择性刻蚀和清洗
- 9.9.3临时polySi 去除
- 9.10湿法清洗机台及其冲洗和干燥技术
- 9.10.1单片旋转喷淋清洗机
- 9.10.2批旋转喷淋清洗机
- 9.10.3批浸泡式清洗机
- 9.11污染清洗中的测量与表征
- 9.11.1颗粒量测
- 9.11.2金属离子检测
- 9.11.3四探针厚度测量
- 9.11.4椭圆偏光厚度测量
- 9.11.5其他度量
- 参考文献
- 第10章超浅结技术
- 10.1简介
- 10.2离子注入
- 10.3快速热处理工艺
- 参考文献
- 第11章化学机械平坦化
- 11.1引言
- 11.2浅槽隔离抛光
- 11.2.1STI CMP的要求和演化
- 11.2.2氧化铈研磨液的特点
- 11.2.3固定研磨粒抛光工艺
- 11.3铜抛光
- 11.3.1Cu CMP的过程和机理
- 11.3.2先进工艺对Cu CMP的挑战
- 11.3.3Cu CMP产生的缺陷
- 11.4高k金属栅抛光的挑战
- 11.4.1CMP在高k金属栅形成中的应用
- 11.4.2ILD0 CMP的方法及使用的研磨液
- 11.4.3Al CMP的方法及使用的研磨液
- 11.5GST抛光(GST CMP)
- 11.5.1GST CMP的应用
- 11.5.2GST CMP的挑战
- 11.6小结
- 参考文献
- 第12章器件参数和工艺相关性
- 12.1MOS电性参数
- 12.2栅极氧化层制程对MOS电性参数的影响
- 12.3栅极制程对MOS电性参数的影响
- 12.4超浅结对MOS电性参数的影响
- 12.5金属硅化物对MOS电性参数的影响
- 12.6多重连导线
- 第13章可制造性设计
- 13.1介绍
- 13.2DFM技术和工作流程
- 13.2.1光刻 DFM
- 13.2.2Metal1图形的例子
- 13.3CMP DFM
- 13.4DFM展望

参考文献

第14章半导体器件失效分析

14.1失效分析概论

14.1.1失效分析基本原则

14.1.2失效分析流程

14.2失效分析技术

14.2.1封装器件的分析技术

14.2.2开封技术

14.2.3失效定位技术

14.2.4样品制备技术

14.2.5微分析技术

14.2.6表面分析技术

14.3案例分析

参考文献

第15章集成电路可靠性介绍

15.1热载流子效应 (HCI)

15.1.1HCI的机理

15.1.2HCI 寿命模型

15.2负偏压温度不稳定性(NBTI)

15.2.1NBTI机理

15.2.2NBTI模型

15.3经时介电层击穿(TDDDB)

15.4电压斜坡(Vramp)和电流斜坡(Jramp)测量技术

15.5氧化层击穿寿命预测

15.6电迁移

15.7应力迁移

15.8集成电路可靠性面临的挑战

15.9结论

第16章集成电路测量

16.1测量系统分析

16.1.1准确性和精确性

16.1.2测量系统的分辨力

16.1.3稳定分析

16.1.4位置分析

16.1.5变异分析

16.1.6量值的溯源、校准和检定

16.2原子力显微镜

16.2.1仪器结构

16.2.2工作模式

16.3扫描电子显微镜

16.4椭圆偏振光谱仪

16.5统计过程控制

16.5.1统计控制图

16.5.2过程能力指数

16.5.3统计过程控制在集成电路生产中的应用

参考文献

第17章良率改善

17.1良率改善介绍

17.1.1关于良率的基础知识

17.1.2失效机制

17.1.3良率学习体系

17.2用于良率提高的分析方法

17.2.1基本图表在良率分析中的应用

17.2.2常用的分析方法

17.2.3系统化的良率分析方法

第18章测试工程

18.1测试硬件和程序

18.1.1测试硬件

18.1.2测试程序

18.1.3缺陷、失效和故障

18.2储存器测试

18.2.1储存器测试流程

18.2.2测试图形

18.2.3故障模型

18.2.4冗余设计与激光修复

18.2.5储存器可测性设计

18.2.6老化与测试

18.3IDDQ测试

18.3.1IDDQ测试和失效分析

18.3.2IDDQ测试与可靠性

18.4数字逻辑测试

18.5可测性设计

18.5.1扫描测试

18.5.2内建自测试

参考文献

第19章芯片封装

19.1传统的芯片封装制造工艺

19.1.1减薄 (Back Grind)

19.1.2贴膜 (Wafer Mount)

19.1.3划片 (Wafer Saw)

19.1.4贴片 (Die Attach)

19.1.5银胶烘焙 (Epoxy Curing)

19.1.6打线键合 (Wire Bond)

19.1.7塑封成型 (压模成型, Mold)

19.1.8塑封后烘焙 (Post Mold Curing)

19.1.9除渣及电镀 (Deflash and Plating)

19.1.10电镀后烘焙 (Post Plating Baking)

19.1.11切筋整脚成型 (Trim/Form)

19.2大电流的功率器件需用铝线键合工艺取代金线键合工艺

19.3QFN的封装与传统封装的不同点

19.4铜线键合工艺取代金线工艺

19.5立体封装(3D Package)形式简介

19.5.1覆晶式封装 (FlipChip BGA)

19.5.2堆叠式封装 (Stack Multichip package)

19.5.3芯片覆晶式级封装 (WLCSP)

19.5.4芯片级堆叠式封装 (TSV package)

参考文献

• • • • • [\(收起\)](#)

[纳米集成电路制造工艺（第2版）_下载链接1](#)

标签

现代半导体工艺

半导体

#FK

#

评论

读之前：虽然读不太懂，但想发展半导体产业，必须有点知识储备。读之后：算了，实在是看不懂，除了第一章，后面读下去真心虐。

[纳米集成电路制造工艺（第2版）_下载链接1](#)

书评

[纳米集成电路制造工艺（第2版）_下载链接1](#)