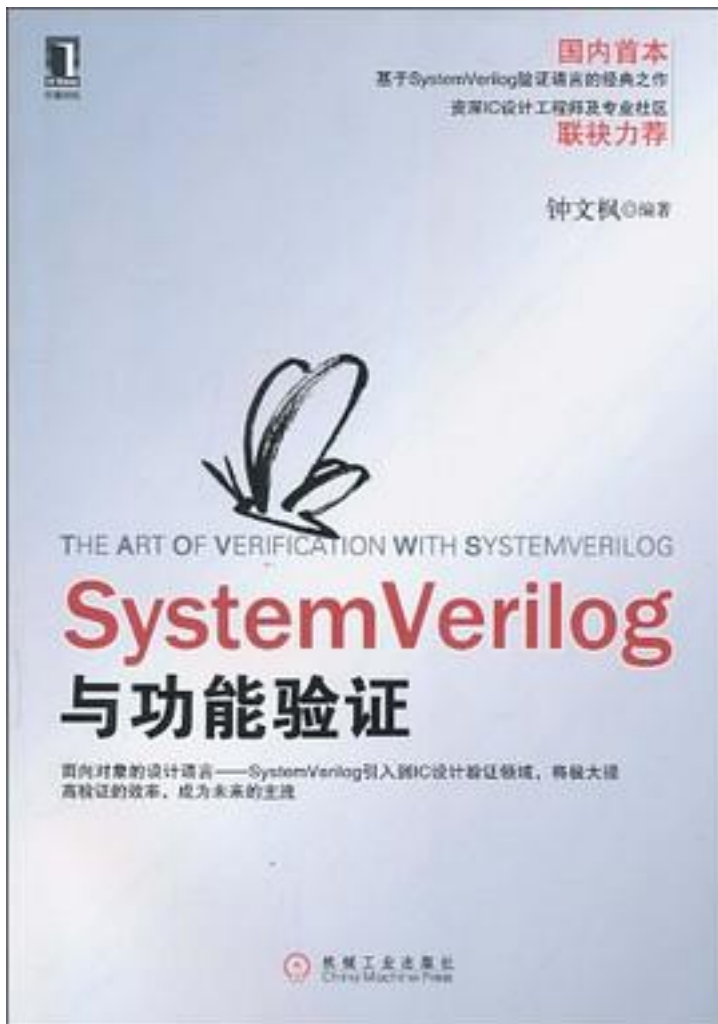


SystemVerilog与功能验证



[SystemVerilog与功能验证_下载链接1](#)

著者:钟文枫

出版者:机械工业出版社

出版时间:2010-10

装帧:

isbn:9787111313731

《System Verilog与功能验证》重点介绍硬件设计描述和验证语言System

Verilog的基本语法及其在功能验证上的应用；书中以功能验证为主线，讲述基本的验证流程、高级验证技术和验证方法学，以System Verilog为基础结合石头、剪刀、布的应用实例，重点阐述了如何采用System Verilog实现随机激励生成、功能覆盖率驱动验证、断言验证等多种高级验证技术；最后，通过业界流行的开放式验证方法学OVM介绍如何在验证平台中实现可重用性。

作者介绍:

曾就职于华为技术通信公司，目前在某EDA公司亚太区客户支持部门任验证产品技术主管；入行以来，参与过TD-SCDMA基带芯片，千兆无源光网芯片，高性能CPU、网络芯片的硬件辅助验证等多个研发项目，在IC设计及验证领域积累了丰富的实践经验；帮助多家公司优化设计流程，采用高级验证技术，缩短项目的研发周期；发表有《OVM实现了可重用的验证平台》，《AMBA片上总线在SOC芯片设计中的应用》等多篇学术论文，也是《The Verification Cookbook》一书的中文版译者之一；多年来致力于行业技术和产品的应用和推广，对IC设计与验证有深刻的体会和思考。

目录: 前言

第1章功能验证技术与方法学概要

1.1功能验证与验证平台

1.1.1专用芯片设计流程

1.1.2什么是验证

1.1.3验证平台可以做些什么

1.1.4功能验证流程

1.2验证技术和验证方法学

1.2.1黑盒、白盒与灰盒验证

1.2.2验证技术

1.2.3验证存在的挑战

1.2.4验证方法学

1.2.5断言验证

1.2.6覆盖率驱动验证

1.3硬件验证语言

1.3.1Open Vera

1.3.2e语言

1.3.3PSL

1.3.4SystemC

1.3.5SystemVerilog

第2章数据类型与编程结构

2.1数据类型

2.1.1两态数据类型

2.1.2枚举类型和用户自定义类型

2.1.3数组与队列

2.1.4字符串

2.1.5结构体和联合体

2.1.6常量

2.1.7文本表示

2.1.8操作符和表达式

2.2过程语句

2.2.1赋值语句

2.2.2控制结构

2.3函数和任务

2.3.1函数和任务的区别

- 2.3.2子程序定义
- 2.3.3子程序参数
- 2.3.4子程序返回
- 2.3.5自动存储
- 2.4编程结构
 - 2.4.1模块
 - 2.4.2接口
 - 2.4.3过程块和语句块
 - 2.4.4数据对象
 - 2.4.5程序块
 - 2.4.6简单的验证架构
- 2.5数据的生命周期和作用域
- 2.6数据类型转换
 - 2.6.1静态类型转换
 - 2.6.2动态类型转换
- 第3章并发进程与进程同步
 - 3.1fork...join
 - 3.1.1三种并发方式
 - 3.1.2进程与变量
 - 3.1.3进程控制
 - 3.2mailbox
 - 3.2.1mailbox的基本操作
 - 3.2.2参数化mailbox
 - 3.2.3mailbox应用实例
 - 3.3semaphore
 - 3.3.1semaphore的基本操作
 - 3.3.2semaphore应用实例
 - 3.4event
 - 3.4.1事件触发
 - 3.4.2等待事件
 - 3.4.3事件的触发属性
- 第4章面向对象编程入门
 - 4.1过程编程语言与面向对象编程语言
 - 4.2类
 - 4.2.1类的基本概念
 - 4.2.2构造函数
 - 4.2.3静态属性与方法
 - 4.2.4this操作符
 - 4.2.5对象的赋值与复制
 - 4.2.6块外声明
 - 4.3石头、剪刀、布仲裁器实例（基于类的验证平台）
 - 4.3.1验证环境顶层
 - 4.3.2验证组件
- 第5章虚接口
 - 5.1虚接口的基本概念及应用
 - 5.1.1虚接口的基本概念
 - 5.1.2虚接口的应用
 - 5.2端口模式和时钟控制块
 - 5.2.1端口模式
 - 5.2.2时钟控制块
- 第6章随机测试
 - 6.1激励产生
 - 6.1.1什么是随机
 - 6.1.2潜在问题

- 6.2随机生成机制
 - 6.2.1随机系统函数
 - 6.2.2randcase/randsequence
- 6.3基于对象的随机生成
 - 6.3.1随机变量
 - 6.3.2约束定义
 - 6.3.3随机方法
 - 6.3.4随机使能控制
 - 6.3.5约束的动态修改
- 6.4标准随机函数
- 6.5随机激励的应用
- 第7章继承与多态
 - 7.1继承和多态的基本概念
 - 7.2继承与子类
 - 7.2.1类的继承与重写
 - 7.2.2子类对象与父类对象的赋值
 - 7.2.3构造函数调用
 - 7.3虚方法与多态
 - 7.3.1虚方法
 - 7.3.2多态
 - 7.4虚类和参数化类
 - 7.4.1虚类
 - 7.4.2参数化类
 - 7.5约束重写
 - 7.6数据的隐藏与封装
- 第8章功能覆盖率
 - 8.1覆盖率
 - 8.1.1目标覆盖率
 - 8.1.2代码覆盖率
 - 8.1.3功能覆盖率
 - 8.2SystemVerilog的功能覆盖率
 - 8.2.1覆盖组 (covergroup)
 - 8.2.2覆盖点 (coverpoint)
 - 8.2.3交叉覆盖点 (cross)
 - 8.3覆盖率驱动验证平台
- 第9章断言
 - 9.1断言的概念及作用
 - 9.2SVA
 - 9.2.1SVA的语法层次结构
 - 9.2.2SVA应用实例
 - 9.2.3bind
- 第10章验证重用与验证方法学
 - 10.1验证重用中存在的问题
 - 10.2验证方法学OVM
 - 10.3OVM的四大核心技术
 - 10.3.1基于Factory的验证平台动态构建
 - 10.3.2动态的配置机制
 - 10.3.3测试用例在验证架构的顶层
 - 10.3.4激励产生与验证架构分离
- 第11章SystemVerilog与C语言的接口
 - 11.1什么是DPI
 - 11.2DPI的应用
 - 11.2.1方法的导入
 - 11.2.2方法的导出

11.2.3DPI的数据类型映射

11.2.4DPI的具体应用

附录A覆盖率内置参数和方法列表

附录B断言重复操作符和序列操作符列表

附录CQuestaSim简要介绍

附录D常用术语中英文对照

参考文献

后记

• • • • •

([收起](#))

[SystemVerilog与功能验证_下载链接1_](#)

标签

SystemVerilog与功能验证

验证

集成电路

verilog

systemverilog

IC

计算机

SystemVerilog

评论

面向对象真是一个神奇的发明。虽然我还没做到验证，也别提啥验证方法学，但书中内容无论是对验证本身还是SOC系统设计都能有概述。个人依然觉得，IC的开发还是重在验证。基于IP以及系统总线的设计已经越来越普遍，对设计者的考验还是在于RTL编码质量。所以设计与后端流程联系更为紧密。

匆匆看了一遍，也没能做实验，不过，到哪能下到书上的源码呢？

简洁

数据类型那边例子的定义都有错 国内的书给跪了 内容略混乱

一般般，讲的比较乱。。。

[SystemVerilog与功能验证_下载链接1_](#)

书评

优点：本书从systemverilog的语法出发，详细介绍了systemverilog在验证方面的强大功能，另外还介绍了OVM验证方法学，可以让读者很快的了解systemverilog的用途，激发读者学习systemverilog的强烈兴趣。书中有很多的实例，可以让初学者更直观的了解和学习systemverilog，同时对q...

钟老师写的这本《systemverilog与功能验证》，是一本适合初学者的教材。里面用一个石头、剪刀、布的例子向读者展示了面向对象的验证平台、虚接口、基于对象的随机生成、功能覆盖率以及断言。
我还看过《高级验证方法学》、《systemverilog验证方法学》，网上也有一些书的电子...

对断言、随机测试、功能覆盖都有实例性的介绍，比较容易理解。建议边看书，边调试几个典型的代码，可以更好地理解一些关键的概念。书中个别例子有点问题，但仍不失为一本很好的入门教材，总体上是十分值得推荐的，非常适合有一定vlog和cpp基础的读者自学使用。！

昨天浏览了一下全书，猜作者先在mentor工作，搜索了一下果然，呵呵。

其实能系统的出书已经很不容易了，一些内容有着作者的思考，当然一些引文没有注明引用。总的来说，挺适合偷懒不想看英文的兄弟做入门之用。

花了一个多月基本看完了这本书，从而使我从对SV一无所知到基本熟悉，相比于翻译的外文书，这本应该是一本很好的适合自学的书，书中的比喻很形象，而且有插图说明，很容易理解，对于没有接触过C++的人来讲，可以很快的理解类方面的知识，例外书中的例子非常多，利于读者自己仿真...

作为IEEE的标准，SystemVerilog为设计和验证提供了一个统一的平台。本书从SystemVerilog的语法介绍开始，结合验证方法学的理论，提供了丰富的实例和可借鉴的方法，为读者特别是IC验证工程师开阔了视野，提供了宝贵的实践经验，是一本非常实用的参考手册。 ...

[SystemVerilog与功能验证_下载链接1](#)