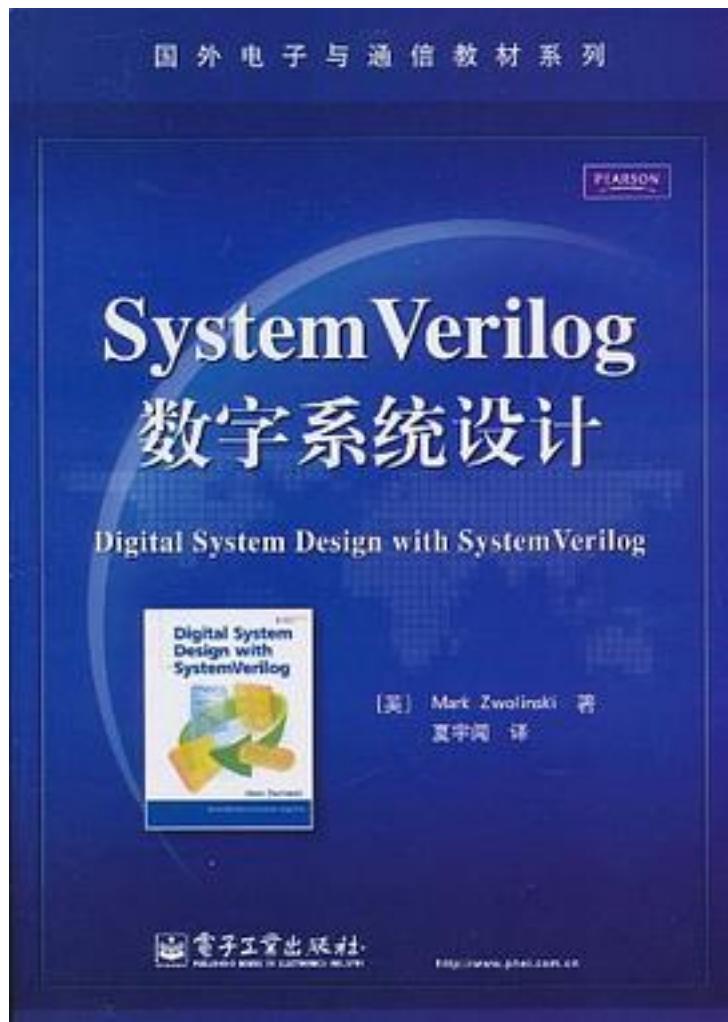


SystemVerilog数字系统设计



[SystemVerilog数字系统设计_下载链接1](#)

著者:茨沃林斯基

出版者:电子工业

出版时间:2011-2

装帧:

isbn:9787121124563

《SystemVerilog数字系统设计》内容简介：SystemVerilog是21世纪电子设计师必须掌

握的最重要的语言之一，因为它是设计/验证现代复杂电子系统核心芯片的至关重要的手段。Mark Zwolinski编著的《System Verilog数字系统设计》讲授用SystemVerilog语言设计/验证数字系统的基本概念和具体方法。在介绍基本语法的基础上，阐述了如何用RTL级的SystemVerilog构成可综合的数字电路/组件/系统，以及如何用行为级的SystemVerilog搭建测试平台，对设计进行验证。

《System Verilog数字系统设计》针对的读者群是电子、自动化和计算机工程专业的本科生/研究生，也适合已经掌握Verilog和VHDL硬件描述语言的工程师自学新一代的数字系统设计/验证语言。

作者介绍:

是英国南安普顿大学电子与计算机科学学院的全职教授。他是Digital system Design with VHDL一书的作者，该书已被翻译成四种语言，并被全世界的许多所大学选为教材。Zwolinski教授在技术杂志上曾发表过120多篇论文。20多年来，他一直教授大学本科生和研究生的数字设计与设计自动化等课程。

目录: 第1章 序言 1.1 现代数字设计 1.2 用硬件描述语言进行设计 1.2.1 设计自动化 1.2.2 什么是SystemVerilog 1.2.3 什么是VHDL 1.2.4 仿真 1.2.5 综合 1.2.6 可重用性 1.2.7 验证
1.2.8 设计流程 1.3 CMOS技术 1.3.1 逻辑门 1.3.2
ASIC(专用集成电路)和FPGA(现场可编程门阵列) 1.4 可编程逻辑 1.5 电气属性 1.5.1
噪声容限 1.5.2 扇出 总结 参考资料 练习题第2章 组合逻辑设计 2.1 布尔代数 2.1.1 值
2.1.2 操作符 2.1.3 逻辑门的真值表 2.1.4 布尔代数的定律 2.1.5 德摩根定理 2.1.6
香依扩展定理 2.2 逻辑门 2.3 组合逻辑设计 2.3.1 逻辑最小化 2.3.2 卡诺图 2.4 时序 2.5
数字段 2.5.1 整数 2.5.2 定点数 2.5.3 浮点数 2.5.4 文字数字字符 2.5.5 格雷码 2.5.6
奇偶校验位 总结 参考资料 练习题第3章 用SystemVerilog门模型描述的组合逻辑 3.1
模块和文件 3.2 标识符、空格和注释 3.3 基本门模型 3.4 简单的网表 3.5 逻辑值 3.6
连续赋值语句 3.6.1 SystemVerilog操作符 3.7 延迟 3.8 参数 3.9 测试平台 总结 参考资料
练习题第4章 组合逻辑构件 4.1 多路选择器 4.1.1 2选1多路选择器 4.1.2 4选1多路器 4.2
译码器 4.2.1 2到4译码器 4.2.2 参数化的译码器 4.2.3 七段译码器 4.3 优先编码器 4.3.1
无关项和唯一性问题 4.4 加法器 4.4.1 功能模型 4.4.2 逐位进位加法器 4.4.3 任务 4.5
奇偶校验器 4.6 三态缓冲器 4.6.1 多值逻辑 4.7 组合逻辑块的测试平台 总结 参考资料
练习题第5章 时序逻辑块的SystemVerilog模型 5.1 锁存器 5.1.1 SR锁存器 5.1.2 D锁存器
5.2 触发器 5.2.1 由跳变沿触发的D触发器 5.2.2 异步置位与复位 5.2.3
同步置位/复位和时钟使能 5.3 JK触发器和T触发器 5.4 寄存器和移位寄存器 5.4.1
多比特寄存器 5.4.2 移位寄存器 5.5 计数器 5.5.1 二进制计数器 5.5.2 约翰森计数器 5.5.3
线性反馈移位寄存器 5.6 存储器 5.6.1 ROM 5.6.2 SRAM 5.6.3 同步RAM 5.7 时序乘法器 5.8
时序构造块的测试平台 5.8.1 时钟信号的产生 5.8.2 复位信号及其他重要信号 5.8.3
检查设计电路的响应 总结 参考资料 练习题第6章 同步时序设计 6.1 同步时序系统 6.2
同步时序系统的模型 6.2.1 摩尔和米利状态机 6.2.2 状态寄存器 6.2.3 三位计数器的设计
6.3 算法状态机 6.4 由ASM图综合 6.4.1 硬件的实现 6.4.2 状态分配 6.4.3 状态最小化 6.5
使用SystemVerilog描述的状态机 6.5.1 第一个例子 6.5.2 序列奇偶校验位检测器 6.5.3
自动售票机 6.5.4 数据的储存 6.6 状态机的测试平台 总结 参考资料 练习题第7章
复杂时序系统的设计 7.1 状态机的互连 7.2 数据路径控制器的划分 7.3 指令 7.4
一个简单的微处理器 7.5 简单微处理器的SystemVerilog模型 总结 参考资料
练习题第8章 测试平台的编写 8.1 基本的测试平台 8.1.1 时钟信号的产生 8.1.2
复位信号和其他重要信号 8.1.3 响应的监视 8.1.4 响应的转储 8.1.5
来自于文件的测试向量 8.2 测试平台的结构 8.2.1 程序 8.3 受约束随机激励的发生 8.3.1
面向对象编程 8.3.2 随机化 8.4 基于断言的验证 总结 参考资料 练习题第9章

SystemVerilog的仿真 9.1 由事件驱动的仿真 9.2 SystemVerilog的仿真 9.3 竞争 9.3.1
避免冒险竞争 9.4 延迟模型 9.5 仿真工具 总结 参考资料 练习题第10章
SystemVerilog的综合 10.1 RTL综合 10.1.1 不可综合的SystemVerilog 10.1.2
推导出触发器和锁存器 10.1.3 组合逻辑 10.1.4 RTL综合规则的总结 10.2 约束 10.2.1 属性
10.2.2 面积和结构属性 10.2.3 full_case和parallel_case属性 10.3 FPGA的综合 10.4
行为综合 10.5 综合结果的验证 10.5.1 时序仿真 总结 参考资料 练习题第11章
数字系统的测试 11.1 测试的必要性 11.2 故障模型 11.2.1 单固定故障模型 11.2.2
PLA(可编程逻辑阵列)故障 11.3 面向故障的测试向量集的生成 11.3.1 敏感路径算法
11.3.2 无法检测到的故障 11.3.3 采用D算法的故障测试 11.3.4 PODEM算法 11.3.5 合并
11.4 故障的仿真 11.4.1 并行故障仿真 11.4.2 并发故障仿真 总结 参考资料 练习题第12章
可测试性设计 12.1 为提高可测试性而做的改进 12.2 针对测试的结构设计 12.3
内建自测试 12.3.1 示例 12.3.2 内建逻辑块观察(BILBO) 12.4 边界扫描(IEEE 1149.1) 总结
参考资料 练习题第13章 异步时序电路设计 13.1 异步电路 13.2 异步电路的分析 13.2.1
非形式化分析 13.2.2 形式化分析 13.3 异步电路的设计 13.4 异步状态机 13.5
建立/保持时间和亚稳态 13.5.1 基本模式制约和同步电路 13.5.2
描述建立和保持时间不合格的SystemVerilog模型 13.5.3 亚稳态 总结 参考资料
练习题第14章 与模拟电路的接口 14.1 数字-模拟转换器 14.2 模拟-数字转换器 14.3
VerilogAMS 14.3.1 VerilogAMS基础 14.3.2 作用语句 14.3.3 混合信号建模 14.4 锁相环
14.5 VerilogAMS仿真器 总结 参考资料练习题附录A
SystemVerilog与Verilog的关系部分练习题的参考答案参考文献
• • • • • (收起)

[SystemVerilog数字系统设计 下载链接1](#)

标签

systemverilog

Programming

FPGA

简体中文

杂七杂八

数字电路设计

中国

fpga

评论

作为Mark的学生…理当强力推荐的

仅仅是语法介绍，重点不在验证方法

[SystemVerilog数字系统设计 下载链接1](#)

书评

[SystemVerilog数字系统设计 下载链接1](#)